

**THIS PAGE IS INSERTED BY OIPE SCANNING
AND IS NOT PART OF THE OFFICIAL RECORD**

Best Available Images

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

BLACK BORDERS ✓

TEXT CUT OFF AT TOP, BOTTOM OR SIDES

FADED TEXT

BLURRY OR ILLEGIBLE TEXT

SKEWED/SLANTED IMAGES

COLORED PHOTOS HAVE BEEN RENDERED INTO BLACK AND WHITE

VERY DARK BLACK AND WHITE PHOTOS

UNDECIPHERABLE GRAY SCALE DOCUMENTS

**IMAGES ARE THE BEST AVAILABLE
COPY. AS RESCANNING *WILL NOT*
CORRECT IMAGES, PLEASE DO NOT
REPORT THE IMAGES TO THE
PROBLEM IMAGE BOX.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-217827

(43)Date of publication of application : 27.08.1993

(51)Int.Cl.

H01L 21/02
H01L 27/12

(21)Application number : 04-046302

(71)Applicant : CANON INC

(22)Date of filing : 31.01.1992

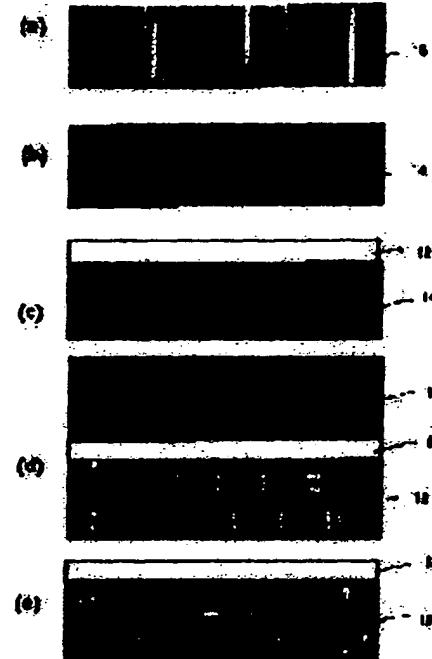
(72)Inventor : SATO NOBUHIKO
YONEHARA TAKAO

(54) SEMICONDUCTOR BASE BODY AND ITS MANUFACTURE

(57)Abstract:

PURPOSE: To provide a manufacturing method wherein a semiconductor base body having a high-quality single-crystal Si layer on an insulating layer can be formed with high productivity and at low costs.

CONSTITUTION: The title manufacture is constituted so as to provide at least the following: a porous-making process wherein the whole of a first base body composed of a silicon single crystal is changed to a porous layer 15; an oxidation process wherein the porous layer is oxidized by leaving the single-crystal property of silicon; a single-crystal-layer formation process wherein a non-porous single-crystal silicon layer 12 is formed on the porous layer; a pasting process wherein the surface of the non-porous silicon single-crystal layer 12 is pasted on a second base body 13 having an insulating layer on the surface or an insulator layer is formed on the surface of the non-porous silicon single-crystal layer and, after that, the surface of the insulating layer is pasted on the second base body; and an etching process wherein the porous layer 14 (15) is removed selectively by a chemical etching liquid.



LEGAL STATUS

[Date of request for examination] 03.07.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3214631

[Date of registration] 27.07.2001

[Number of application against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-217827

(43)公開日 平成5年(1993)8月27日

(51)Int.Cl.⁵
H 01 L 21/02
27/12

識別記号
B 8518-4M
Z 8728-4M

F I

技術表示箇所

審査請求 未請求 請求項の数26(全 12 頁)

(21)出願番号 特願平4-46302

(22)出願日 平成4年(1992)1月31日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 佐藤 信彦

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72)発明者 米原 隆夫

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

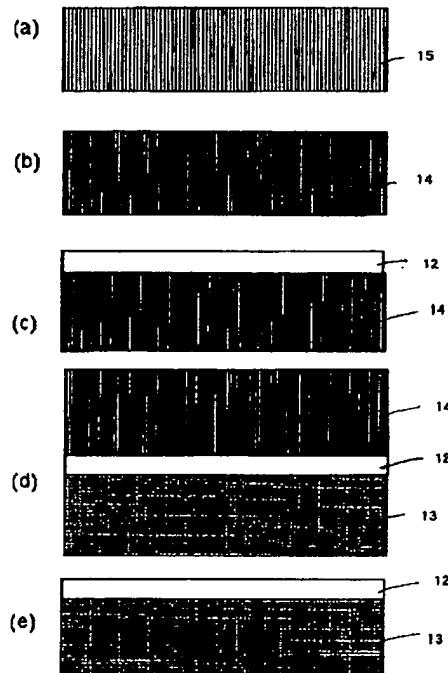
(74)代理人 弁理士 福森 久夫

(54)【発明の名称】 半導体基体及びその作製方法

(57)【要約】

【目的】 本発明は、絶縁層上に高品質な単結晶Si層を有する半導体基体を、高生産的、かつ低価格で形成できる作製方法を提供することを目的とする。

【構成】 シリコン単結晶からなる第1の基体の全体を多孔質層15とする多孔質化工程と、該多孔質層をシリコンの単結晶性を残して酸化する酸化工程と、該多孔質層上に非多孔質シリコン単結晶層12を形成する単結晶層形成工程と、該非多孔質シリコン単結晶層表面12を、表面に絶縁層を有する第2の基体13に貼り合わせる、ないしは該非多孔質シリコン単結晶層表面に絶縁物層を形成した後、該絶縁層表面を第2の基体に貼り合わせる、貼り合わせ工程と、化学エッティング液により前記多孔質層14(15)を選択的に除去するエッティング工程とを少なくとも有することを特徴とする。



【特許請求の範囲】

【請求項1】 シリコン単結晶からなる第1の基体の全体を多孔質層とする多孔質化工程と、該多孔質層をシリコン単結晶の単結晶性を残して酸化する酸化工程と、該多孔質層上に非多孔質シリコン単結晶層を形成する単結晶層形成工程と、該非多孔質シリコン単結晶層表面を、絶縁層を介して第2の基体に貼り合わせる貼り合わせ工程と、化学エッチャング液により前記多孔質層を選択的に除去するエッチャング工程とを少なくとも有することを特徴とする半導体基体の作製方法。

【請求項2】 シリコン単結晶からなる第1の基体の一方の表面を多孔質層とする多孔質化工程と、該多孔質層をシリコン単結晶の単結晶性を残して酸化する酸化工程と、該多孔質層上に非多孔質シリコン単結晶層を形成する単結晶層形成工程と、該非多孔質シリコン単結晶層表面を、絶縁層を介して第2の基体に貼り合わせる貼り合わせ工程と、化学エッチャング液により前記多孔質層を選択的に除去するエッチャング工程とを少なくとも有することを特徴とする半導体基体の作製方法。

【請求項3】 前記酸化工程は、熱酸化法により行なうことを特徴とする請求項1または2に記載の半導体基体の作製方法。

【請求項4】 前記酸化工程は、酸化性溶液により行なうことを特徴とする請求項1または2に記載の半導体基体の作製方法。

【請求項5】 前記酸化性溶液は、過酸化水素を含むことを特徴とする請求項4に記載の半導体基体の作製方法。

【請求項6】 前記エッチャング工程前に、前記多孔質層以外の部分を前記化学エッチャング液に対する耐性に優れた材料により被覆することを特徴とする請求項1～5のいずれか1項に記載の半導体基体の作製方法。

【請求項7】 前記非多孔質シリコン単結晶層の表面に形成する絶縁物層は、酸化シリコン層であることを特徴とする請求項1～6のいずれか1項に記載の半導体基体の作製方法。

【請求項8】 前記非多孔質シリコン単結晶層の表面に形成する酸化シリコン層は熱酸化法により形成することを特徴とする請求項7に記載の半導体基体の作製方法。

【請求項9】 前記多孔質層のエッチャングは、HFを含む溶液による工程を特徴とする請求項1～8のいずれか1項に記載の半導体基体の作製方法。

【請求項10】 前記非多孔質シリコン単結晶の厚さは20μm以下であることを特徴とする請求項1～9のいずれか1項に記載の半導体基体の作製方法。

【請求項11】 前記表面に絶縁層を有する第2の基体は、シリコン基体であることを特徴とする請求項1～10のいずれか1項に記載の半導体基体の作製方法。

【請求項12】 前記表面に絶縁層を有する第2の基体 50 方法。

は、光透過性基体であることを特徴とする請求項1～10のいずれか1項に記載の半導体基体の作製方法。

【請求項13】 前記貼り合わせ工程は酸素を含む雰囲気中で行われる工程を含むことを特徴とする請求項1～12のいずれか1項に記載の半導体基体の作製方法。

【請求項14】 前記貼り合わせ工程は窒素を含む雰囲気中で行われる工程を含むことを特徴とする請求項1～13のいずれか1項に記載の半導体基体の作製方法。

【請求項15】 前記非多孔質シリコン単結晶層は、エピタキシャル成長により形成されることを特徴とする請求項1～14のいずれか1項に記載の半導体基体の作製方法。

【請求項16】 前記非多孔質シリコン単結晶層は分子線エピタキシャル法、プラズマCVD法、熱CVD法、光CVD法、液相成長法、バイアス・スパッター法から選ばれる方法によって形成されることを特徴とする請求項1～14のいずれか1項に記載の半導体基体の作製方法。

【請求項17】 前記多孔質化工程は陽極化成法を用いることを特徴とする請求項1～16のいずれか1項に記載の半導体基体の作製方法。

【請求項18】 前記陽極化成法はHF溶液中で行われることを特徴とする請求項17に記載の半導体基体の作製方法。

【請求項19】 一方の面にN型層を有するシリコン基体のN型層以外を多孔質化して多孔質層を形成する多孔質化工程と、該多孔質層をシリコンの単結晶性を残して酸化する酸化工程と、前記N型層の表面を、表面に絶縁層を有する第2の基体に貼り合わせる、ないしは前記N型層の表面に絶縁物層を形成した後該絶縁層を第2の基体に貼り合わせる、貼り合わせ工程と、化学エッチャング液により前記多孔質層を選択的に除去するエッチャング工程とを少なくとも有することを特徴とする半導体基体の作製方法。

【請求項20】 前記シリコン基体のN型層以外はP型であることを特徴とする請求項19に記載の半導体基体の作製方法。

【請求項21】 前記N型層の厚さは50μm以下であることを特徴とする請求項19または20に記載の半導体基体の作製方法。

【請求項22】 前記多孔質化工程は陽極化成法を用いることを特徴とする請求項19乃至21のいずれか1項に記載の半導体基体の作製方法。

【請求項23】 前記陽極化成法はHF溶液中で行われることを特徴とする請求項22に記載の半導体基体の作製方法。

【請求項24】 前記N型層はプロトン照射またはエピタキシャル成長により形成されることを特徴とする請求項19～23のいずれか1項に記載の半導体基体の作製方法。

【請求項25】 前記化学エッティング工程前に、前記多孔質層以外の部分を前記化学エッティング液に対する耐性に優れた材料で被覆することを特徴とする請求項19～24のいずれか1項に記載の半導体基体の作製方法。

【請求項26】 請求項1～25のいずれか1項に記載された半導体基体の作製方法で作製された半導体基体。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体基体及びその作製方法に係わり、更に詳しくは、誘電体分離あるいは、絶縁物上の単結晶半導体層に作成され電子デバイス、集積回路に適する半導体基体及びその作製方法に関する。

【0002】

【従来の技術】 絶縁物上の単結晶Si半導体層の形成は、シリコンオンインシュレーター(SOI)技術として広く知られ、通常のSi集積回路を作製するパルクSi基板では到達しえない数々の優位点をSOI技術を利用したデバイスが有することから多くの研究が成されてきた。すなわち、SOI技術を利用することで、

1. 誘電体分離が容易で高集積化が可能、
2. 対放射線耐性に優れている、
3. 浮遊容量が低減され高速化が可能、
4. ウエル工程が省略できる、
5. ラッチアップを防止できる、
6. 薄膜化による完全空乏型電界効果トランジスタが可能、

等の優位点が得られる。

【0003】 上記したようなデバイス特性上の多くの利点を実現するために、ここ数十年に渡り、SOI構造の形成方法について研究されてきている。この内容は、例えば以下の文献にまとめられている。Special Issue: "Single-crystal silicon non-single-crystal insulators"; edited by G.W.Cullen, Journal of Crystal Growth, Vol. 63, No. 3, pp 429～590 (1983)。また、古くは、単結晶サファイア基板上に、SiをCVD(化学気相法)で、ヘテロエピタキシーさせて形成するSOI(シリコンオンサファイア)が知られており、最も成熟したSOI技術として一応の成功を収めはしたが、Si層と下地サファイア基板界面の格子不整合により大量の結晶欠陥、サファイア基板からのアルミニウムのSi層への混入、そして何よりも基板の高価格と大面積化への遅れにより、その応用の拡がりが妨げられている。

【0004】 比較的近年には、サファイア基板を使用せずにSOI構造を実現しようという試みが行なわれている。この試みは、次の二つに大別される。

【0005】 (1) Si単結晶基板を表面酸化後に、窓を開けてSi基板を部分的に表出させ、その部分をシードとして横方向へエピタキシャル成長させ、SiO₂上へSi単結晶層を形成する。(この場合には、SiO₂ 50

上にSi層の堆積をともなう)

(2) Si単結晶基板そのものを活性層として使用し、その下部にSiO₂を形成する。(この方法は、Si層の堆積をともなわない)

【0006】

【発明が解決しようとしている課題】 上記(1)を実現する手段として、CVDにより、直接、単結晶層Siを横方向エピタキシャル成長させる方法、非晶質Siを堆積して、熱処理により固相横方向エピタキシャル成長させる方法、非晶質あるいは、多結晶Si層に電子線、レーザー光等のエネルギービームを収束して照射し、溶融再結晶により単結晶層をSiO₂上に成長させる方法、そして、棒状ヒーターにより帶状に溶融領域を走査する方法(Zone melting recrystallization)が知られている。これらの方法にはそれぞれ一長一短があり、その制御性、生産性、均一性、品質に多大の問題を残しており、未だに工業的に実用化したものはない。

【0007】 たとえば、CVD法は平坦薄膜化するには、犠牲酸化が必要となり、固相成長法ではその結晶性が悪い。また、ビームアニール法では、収束ビーム走査による処理時間と、ビームの重なり具合、焦点調整などの制御性に問題がある。このうち、Zone Melting Recrystallization法がもっとも成熟しており、比較的大規模な集積回路も試作されてはいるが、依然として、亜粒界等の結晶欠陥は、多数残留しており、少数キャリヤーデバイスを作製するにいたってない。

【0008】 上記(2)の方法であるSi基板をエピタキシャル成長の種子として用いない方法に於ては、次の3種類の方法が挙げられる。

【0009】 1. V型の溝が表面に異方性エッティングされたSi単結晶基板に酸化膜を形成し、該酸化膜上に多結晶Si層をSi基板と同じ程厚く堆積した後、Si基板の裏面から研磨によって、厚い多結晶Si層上にV溝に囲まれて誘電分離されたSi単結晶領域を形成する。この手法に於ては、結晶性は、良好であるが、多結晶Siを数百μmも厚く堆積する工程、単結晶Si基板を裏面より研磨して分離したSi活性層のみを残す工程に、制御性や生産性の点から問題がある。

【0010】 2. サイモックス(SIMOX: Separation by ion implanted oxygen)と称されるSi単結晶基板中に酸素のイオン注入によりSiO₂層を形成する方法であり、Siプロセスと整合性が良いため現在もっとも成熟した手法である。しかしながら、SiO₂層形成をするためには、酸素イオンを10¹⁸ ions/cm²以上も注入する必要があるが、その注入時間は長大であり、生産性は高いとはいえず、また、ウエハコストは高い。更に、結晶欠陥は多く残存し、工業的に見て、少数キャリヤーデバイスを作製できる充分な品質に至っていない。

【0011】 3. 多孔質Siの酸化による誘電体分離に

よりSOI構造を形成する方法。この方法は、P型Si単結晶基板表面にN型Si層をプロトンイオン注入、(イマイ他, *J. Crystal Growth*, vol 63, 547(1983)), もしくは、エピタキシャル成長とパターニングによって島状に形成し、表面よりSi島を開むようにHF溶液中の陽極化成法によりP型Si基板のみを多孔質化したのち、増速酸化によりN型Si島を誘電体分離する方法である。本方法では、分離されるSi領域は、デバイス工程のまえに決定されており、デバイス設計の自由度を制限する場合があるという問題点がある。

【0012】また、ガラスに代表される光透過性基体上には一般には、その結晶構造の無秩序性を反映して、非晶質か、良くて、多結晶層にしかならず、高性能なデバイスは作製できない。それは、基体の結晶構造が非晶質であることによっており、単に、Si層を堆積しても、良質な単結晶層は得られない。光透過性基体は、光受光素子であるコンタクトセンサー、投影型液晶画像表示装置を構成するうえで重要である。そして、センサーや表示装置の画素(絵素)をより一層、高密度化、高解像度化、高精細化するには、極めて高性能は駆動素子が必要となる。その結果、光透過性基体上に設けられる素子としても優れた結晶性を有する単結晶層を用いて作製されることが必要となる。

【0013】したがって、非晶質Siや、多結晶Siではその欠陥の多い結晶構造故に要求されている、あるいは今後要求されるに十分な性能を持った駆動素子を作製することが困難である。

【0014】しかし、Si単結晶基体を用いる上記のいずれの方法を用いても光透過性基体上に良質な単結晶層を得るという目的には不適当である。

【0015】本発明は、上記したような問題点及び上記したような要求に応える半導体基体及びその作製方法を提供することを目的とする。

【0016】更に本発明は、従来のSOI構造の利点を実現し、種々の高性能電子デバイス等に応用可能な半導体基体及びその作製方法を提供することも目的とする。

【0017】また、本発明は、SOI構造の大規模集積回路を作製する際にも、高価なSOSや、Si-MOXの代替足り得る半導体基体及びその作製方法を提供することを目的とする。

【0018】また、本発明は、絶縁層上に結晶性が単結晶ウエハー並に優れたSiを得るうえで、生産性、均一性、制御性、コストの面において卓越した半導体基体の作製方法を提供することを目的とする。

【0019】さらに本発明は、透明基体(光透過性基体)上に結晶性が単結晶ウエハー並に優れたSiを得るうえで、生産性、均一性、制御性、コストの面において卓越した半導体基体の作製方法を提供することを目的とする。

【0020】

【課題を解決するための手段および作用】本発明の半導体基体の作製方法は、シリコンからなる第1の基体の全体を多孔質層とする多孔質化工程と、該多孔質層をシリコンの単結晶性を残して酸化する酸化工程と、該多孔質層上に非多孔質シリコン単結晶層を形成する単結晶層形成工程と、該非多孔質シリコン単結晶層表面を、絶縁層を介して第2の基体に貼り合わせる貼り合わせ工程と、化学エッティング液により前記多孔質層を選択的に除去するエッティング工程とを少なくとも有し、表面に絶縁層を有する基体上に良質な単結晶構造を有する薄膜シリコン層を均一に形成することを特徴とする。

【0021】更に本発明の半導体基体の作製方法は、シリコン単結晶からなる第1の基体の一方の表面を多孔質層とする多孔質化工程と、該多孔質層をシリコンの単結晶性を残して酸化する酸化工程と、該多孔質層上に非多孔質シリコン単結晶層を形成する単結晶層形成工程と、該非多孔質シリコン単結晶層表面を、絶縁層を介して第2の基体に貼り合わせる貼り合わせ工程と、前記第1の基体の多孔質層以外を除去する工程と、化学エッティング液により前記多孔質層を選択的に除去するエッティング工程とを少なくとも有することを特徴とする。

【0022】また、本発明の半導体基体の作製方法は、一方の面にN型層を有するシリコン基体のN型層以外を多孔質化して多孔質層を形成する多孔質化工程と、該多孔質層をシリコンの単結晶性を残して酸化する酸化工程と、前記N型層の表面を、表面に絶縁層を有する第2の基体に貼り合わせる、ないしは前記N型層の表面に絶縁物層を形成した後該絶縁層を、第2の基体に貼り合わせる貼り合わせ工程と、化学エッティング液により前記多孔質層を選択的に除去するエッティング工程とを有することを特徴とする。

【0023】本発明は、経済性に優れて、大面積に渡り均一平坦な、極めて優れた結晶性を有するSi単結晶基体を用い、表面にSi活性層を残して、その片面から該活性層までを除去することにより、表面に絶縁層を有する基体上、または光透過性基体上に欠陥の著しく少ないSi単結晶層を得ることが可能となる。

【0024】特に本発明は、多孔質シリコン層を酸化することにより、多孔質シリコン層のエッティングによる除去を選択性良く実施できる。

【0025】さらに本発明は、多孔質シリコン層を酸化することにより、高温の熱処理を施した場合においても、多孔質層の構造の粗大化を抑制でき、エッティングの選択性は維持することができる。従って、非多孔質シリコン単結晶を結晶性良く形成するために、あるいは強固な貼り合わせを実施するために、高温熱処理を実施することが可能となり、表面に絶縁層を有する基体、ないしは、光透過性基体上に欠陥や貼り合わせの弱接合部の著しく少ないSi単結晶層を形成することが可能となる。

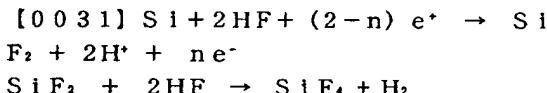
【実施態様例】以下に、実施態様例を挙げて本発明の構成を詳細に説明する。

【0027】(実施態様例1) S i 基体を多孔質化した後に単結晶層をエピタキシャル成長させる方法について説明する。

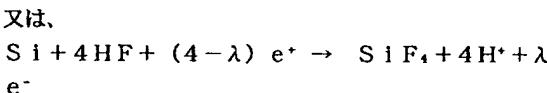
【0028】図1 (a) に示すように、先ず、 S i 単結晶基体1 1 を用意して、その全部、ないしは、図4 (a) のように一部を多孔質化する。

【0029】S i 基体は、HF溶液を用いた陽極化成法によって、多孔質化させる。この多孔質S i 層1 5 は、単結晶S i の密度2.33 g/cm³に比べて、その密度をHF溶液濃度を50~20%に変化させることで密度1.1~0.6 g/cm³の範囲に変化させることができる。この多孔質層1 5 は、下記の理由により、P型S i 基体に形成されやすく、透過電子顕微鏡による観察によれば、平均約50~600オングストローム程度の径の孔が形成される。

【0030】多孔質S i は、Uhlir等によって1956年に半導体の電解研磨の研究過程に於て発見された(A. Uhlir, Bell Syst. Tech. J., vol 35, p.333(1956))。また、ウナガミ等は、陽極化成におけるS i の溶解反応を研究し、HF溶液中のS i の陽極反応には正孔が必要であり、その反応は、次のようにあると報告している(T. ウナガミ: J. Electrochem. Soc., vol. 127, p.476 (1980))。



又は、



ここでe⁺及びe⁻はそれぞれ、正孔と電子を表している。また、n及びλは夫々シリコン1原子が溶解するために必要な正孔の数であり、n>2又はλ>4なる条件が満たされた場合に多孔質シリコンが形成されるとしている。

【0032】以上のことから、正孔の存在するP型シリコンは、多孔質化されやすい。この多孔質化に於ける、選択性は長野ら及び、イマイによって実証されている(長野、中島、安野、大中、梶原: 電子通信学会技術研究報告、vol 79, SSD 79-9549(1979)、K. イマイ: Solid State Electronics, vol 24, 159 (1981))。このように正孔の存在するP型シリコンは多孔質化されやすく、選択性にP型シリコンを多孔質することができる。

【0033】一方、高濃度N型シリコンも多孔質化するという報告(R. P. Holmstrom, I. J. Y. Chi Appl. Phys. Lett., Vol. 42, 386(1983))もあり、P、Nにこだわらず、多孔質化を実現できる基体を選ぶことが重要である。

【0034】シリコン単結晶基体を多孔質化した後、図1 (b) ないしは、図4 (b) に示すように多孔質を酸化する。この酸化は、酸化雰囲気での熱処理(熱酸化法)、酸素プラズマによる酸化、酸化性溶液への浸漬処理等により行なう。このような多孔質層の酸化工程では、酸化は多孔質の孔壁面から内部に向かって進行する。酸化は多孔質層全部が酸化されてしまい、シリコン領域が失われたりしない程度に行なう。シリコンの単結晶性は、高速電子線回折(RHEED)、X線回折、ラザフォードバックスキャッタリング等で確認される。

【0035】多孔質の形成条件により異なるが、酸化は、単結晶シリコン表面の酸化において、概ね1 nm以上40 nm以下、より好ましくは2 nm以上30 nm以下の酸化層を形成する程度のものであれば十分である。この多孔質の酸化は、多孔質の構造粗大化が生じにくく、急速な酸化により、表面近傍の孔がふさがって内部の酸化が抑制されたりしない低温で行なうことが好ましい。熱酸化法による場合は、100°C以上900°C以下、より好ましくは200°C以上700°C以下であるのが望ましい。

【0036】また、酸化性溶液による場合、酸化性溶液としては、例えば過酸化水素水、硫酸、硝酸、あるいは硫酸、硝酸、塩酸と過酸化水素水の混合溶液が挙げられるが、これに限定されるものではない。

【0037】統いて図1 (c) ないし図4 (c) に示すように、種々の成長法により、多孔質化した基体表面にエピタキシャル成長を行ない、薄膜単結晶層1 2 を形成する。必要に応じて、エピタキシャル成長に先立って、前記酸化処理で形成された酸化層のうち、多孔質化した基体表面の酸化層を弗酸水溶液でのエッティング等により除去しておく。

【0038】多孔質S i 層には、透過電子顕微鏡による観察によれば、平均約600オングストローム程度の径の孔が形成されており、その密度は単結晶S i に比べると、半分以下になるにもかかわらず、単結晶性は維持されており、多孔質層の上部へ単結晶S i 層をエピタキシャル成長させることも可能である。ただし、1000°C以上のエピタキシャル成長では、内部の孔の再配列が起り、増速エッティングの特性が損なわれる。このため、S i 層のエピタキシャル成長には、分子線エピタキシャル成長、プラズマCVD、熱CVD法、光CVD、バイアス・スパッター法、液相成長法等の低温成長が好適とされる。

【0039】また、上記した多孔質S i 上のエピタキシャル成長において、多孔質S i はその構造的性質のため、ヘテロエピタキシャル成長の際に発生する歪みを緩和して、欠陥の発生を抑制することが可能である。

【0040】また、多孔質層はその内部に大量の空隙が形成されている為に、密度が半分以下に減少する。その結果、体積に比べて表面積が飛躍的に増大するため、そ

の化学エッティング速度は、通常の単結晶層のエッティング速度に比べて、著しく増速される。

【0041】多孔質S iをエッティングする方法としては、

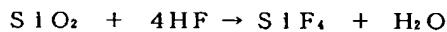
(1) NaOH水溶液で多孔質S iをエッティングする (G. Bonchil, R. Herino, K. Barla, and J.C. Pfister, J. Electrochem. Soc., vol. 130, no. 7, 1611(1983))。

(2) 単結晶S iをエッティングすることが可能なエッティング液で多孔質S iをエッティングする。

等が知られている。

10

【0042】上記(2)の方法は、通常、フッ硝酸系のエッティング液が用いられるが、このときのS iのエッティング過程は、



に示される様に、S iが硝酸で酸化され、SiO₂に変質し、そのSiO₂をフッ酸でエッティングすることによりSiのエッティングが進む。

【0043】同様に結晶S iをエッティングする方法としては、上記フッ硝酸系エッティング液の他に、エチレンジアミン系、KOH系、ヒドラジン系等のエッティング液を用いる方法などがある。

【0044】本発明で特に有効な重要な多孔質S iの選択エッティング方法は、結晶S iに対してはエッティング作用を持たない弗酸、あるいはバッファード弗酸を用いるものである。このエッティングにおいては、さらに酸化剤として作用する過酸化水素を添加しても良い。過酸化水素は、酸化剤として作用し、過酸化水素の比率を変えることにより反応速度を制御することが可能である。また、表面活性剤として作用するアルコールを添加してもよい。アルコールは、表面活性剤として作用し、エッティングによる反応生成気体の気泡を瞬時にエッティング表面から除去し、均一に、かつ効率良く多孔質S iの選択エッティングが可能となる。

【0045】さらにあらかじめ多孔質を酸化しておくことにより、多孔質層の弗酸によるエッティング速度を増速し、かつ多孔質層のシリコン壁の厚さが薄くなっているので、実質的なエッティング速度が20%加速され、非多孔質シリコン単結晶層とのエッティング速度の選択性が高まる。図2に本発明の酸化した多孔質シリコンのエッティング(実線)を示す。図中破線は酸化しない多孔質シリコンのエッティングである。

【0046】また、多孔質シリコンは、高温の熱処理を実施した場合、孔の再配列特に粗大化が起り、エッティング速度が低化してしまうのが、この多孔質の酸化により、その後の非多孔質シリコン単結晶層を結晶性良く形成するための高温成長、及び基体貼り合わせをより強固にするために高温熱処理を用いた場合においても、多孔質層の孔の粗大化を抑制し、多孔質層のエッティング速度の低化を防ぐことができる。特に弗酸系のエッティング液

40

50

を用いる場合には、多孔質が酸化されていることで熱処理を施した後でも、多孔質層のエッティング速度は、多孔質層の酸化をしない場合にくらべ、20%程度増速されることがわかった。

【0047】図1(d)及び図4(d)に示すように、基体として、たとえばシリコン基体などの下地材料の表面に絶縁層を配した第2の基体13、あるいはガラスに代表される光透過性基体13を用意して、多孔質S i基体14上の単結晶S i層12表面を基体表面に貼りつける。

【0048】貼り合わせに先だって、多孔質S i上の単結晶S i層12表面に酸化層を形成することにより、単結晶シリコン層と絶縁層の界面をあらかじめ形成しても良い。該酸化層は、デバイスを作製する際に重要な役割をはたす。すなわち、S i活性層の下地界面により発生する界面準位は、貼り合わせ界面とくにガラス界面にくらべて、単結晶シリコン層を酸化することにより形成した下地界面の準位のほうが低くできる。すなわち貼り合わせ界面を活性層から離すことにより、貼り合わせ界面に生じることのある準位を遠ざけることができるため、電子デバイスの特性は著しく向上する。また、多孔質S i上の単結晶S i層表面に酸化層を形成し、S i基体等の任意の基体に貼り合わせてもよい。

【0049】この後に、多孔質S i基体14を全部化学エッティングにより除去して、図1(e)に示すように、表面に絶縁層を有する基体上、ないしは光透過性基体上に薄膜化した単結晶シリコン層を残存させた基体を作製する。エッティングに先立ち、必要に応じて、多孔質シリコン以外にエッティング防止膜を形成してもよい。たとえばSi₃N₄層を貼り合せた2枚の基体全体に堆積被覆して、多孔質シリコン基体の表面上のSi₃N₄層を除去した後エッティングを行う。エッティング防止膜としてSi₃N₄層の代わりに、アビエゾンワックスを用いても良い。

【0050】図4(d)に示すように、多孔質S iを基体の一部に形成した場合は、多孔質層が露出するまで、S iウエハ作製工程で通常用いる研削、研磨、あるいは、弗酸、硝酸、酢酸の混合溶液等によるエッティングにより多孔質層を形成した基体をあらかじめ除去しておく。

【0051】図1(e)、図4(e)には本発明で得られる半導体基体が示される。すなわち、表面に絶縁層を有する基体、ないしは光透過性基体13上に結晶性がシリコンウエハーと同等な単結晶S i層12が平坦に、しかも均一に薄膜化されて、ウエハー全域に、大面積に形成される。

【0052】こうして得られた半導体基体は、絶縁分離された電子素子作製という点から見ても好適に使用することができる。

【0053】(実施態様例2)以下、本発明の半導体基

11

体の作製方法の他の態様例を図面を参照しながら詳述する。

【0054】図3 (a) ~ (e) は本発明の半導体基体の作製方法を説明するための工程図で、夫々各工程に於ける模式的断面図として示されている。

【0055】先ず、図3 (a) に示される様に種々の薄膜成長法によるエピタキシャル成長により低不純物濃度層32を形成する。或は、P型Si単結晶基体31の表面をプロトンをイオン注入してN型単結晶層32を形成する。

【0056】次に、図3 (b) に示される様にP型Si単結晶基体31を裏面よりHF溶液を用いた陽極化成法によって、多孔質Si層33に変質させる。この多孔質Si層は、単結晶Siの密度2.33 g/cm³に比べて、その密度をHF溶液濃度を50~20%に変化させることで密度1.1~0.6 g/cm³の範囲に変化させることができる。この多孔質層は、上述したように、P型基体に形成される。シリコン単結晶基体を多孔質化した後、図3 (c) に示すように多孔質を酸化する。この酸化は、酸素雰囲気での熱処理(熱酸化法)、酸素プラズマによる酸化、酸化性溶液への浸漬処理等により行なう。このような多孔質化の酸化では、酸化は、多孔質の孔壁面から内部に向かって進行する。酸化は、多孔質層全部が酸化されてしまい、シリコン領域が失われたりしない程度にする。シリコンの単結晶性は、X線回折、ラザフォードバックスキャッタリング等で確認される。

【0057】多孔質の形成条件により異なるが、酸化は、概ね1 nm以上40 nm以下、より好ましくは2 nm以上30 nm以下の酸化層を形成する程度のものであれば十分である。この多孔質の酸化は、多孔質の構造粗大化が生じにくい低温で行なうことが好ましい。熱酸化法による場合は、100°C以上900°C以下、より好ましくは200°C以上700°C以下であるのが望ましい。

【0058】また、酸化性溶液による場合、酸化性溶液としては例えば、過酸化水素水、硫酸、硝酸、あるいは硫酸、硝酸、塩酸と過酸化水素水の混合溶液が挙げられるが、これに限定されるものではない。

【0059】図3 (d) に示すように、表面に絶縁層を有する基体34を用意して、多孔質Si基体35上の単結晶Si層32表面、ないしは該単結晶Si層を酸化した表面に該第2の基体34に貼りつける。また、多孔質Si上の単結晶Si層表面に酸化層を形成し、Si基体等の任意の基体に貼り合わせてもよい。

【0060】図3 (e) に示すように、酸化した多孔質化したSi基体の多孔質層35を全部エッティング除去して、表面に絶縁層を有する基体上に薄膜化した単結晶シリコン層を残存させて基体を形成する。

【0061】図3 (e) には本発明で得られる半導体基体が示される。表面に絶縁層を有する基体、ないしは光

12

透過性基体34上に結晶性がシリコンウエハーと同等な単結晶Si層32が平坦に、しかも均一に薄層化されて、ウエハー全域に大面積に形成される。

【0062】こうして得られた半導体基体は、絶縁分離された電子素子作製という点から見ても好適に使用することができる。

【0063】以上は、多孔質化を行う前にN型層を形成し、その後陽極化成により選択的にP型基体のみを多孔質化する方法である。

10 【0064】

【実施例】以下、具体的な実施例によって本発明を説明する。

【0065】(実施例1) 200 μmの厚みを持ったP型(100)単結晶Si基体を50%のHF溶液中において陽極化成を行った。この時の電流密度は、100 mA/cm²であった。この時の多孔質化速度は8.4 μm/min. であり、200 μmの厚みを持ったP型(100)Si基体全体は24分で多孔質化された。

【0066】該多孔質化した基体を酸素雰囲気中で、300°C1時間熱処理を施した。該P型(100)多孔質Si基体上にMBE(分子線エピタキシー: Molecular Beam Epitaxy)法により、Siエピタキシャル層を0.52 μm低温成長させた。堆積条件は、以下の通りである。

【0067】温度: 700 °C

圧力: 1 × 10⁻⁹ Torr

成長速度: 0.1 nm/sec

次に、このエピタキシャル層の表面を50 nm熱酸化した。該熱酸化膜上に熱酸化法により、表面に1 μmの酸化シリコン層を形成した単結晶シリコン基体を重ねあわせ、酸素雰囲気中で900 °C、2時間加熱することにより、両者の基体は強固に接合された。

【0068】その後、該張り合わせた基体をバッファーードフロードアルコールと過酸化水素水との混合液(10:6:50)をエッティング液として攪拌することなく選択エッティングした。175分後には、単結晶Si層はエッチ・ストップの材料としてエッティングされずに残り、多孔質Si基体は選択エッティングされ、完全に除去された。

【0069】非多孔質Si単結晶の該エッティング液にたいするエッティング速度は、極めて低く175分後でも40オングストローム弱程度であり、多孔質層のエッティング速度との選択比は十の五乗以上にも達し、非多孔質層におけるエッティング量(数十オングストローム)は実用上無視できる膜厚減少である。すなわち、200 μmの厚みをもった多孔質化されたSi基体は、除去され、Si₃N₄層を除去した後には、酸化シリコン層を表面に有するシリコン基体上に0.5 μmの厚みを持った単結晶Si層が形成できた。

【0070】透過型電子顕微鏡による断面観察の結果、

13

Si層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0071】(実施例2) 200μmの厚みを持ったP型(100) 単結晶Si基体を50%のHF溶液中において陽極化成を行った。この時の電流密度は、100mA/cm²であった。この時の多孔質化速度は、8.4μm/min.であり、200μmの厚みを持ったP型(100) Si基体全体は24分で多孔質化された。

【0072】該多孔質化した基体を酸素雰囲気中で、300℃、2時間熱処理を施した。該P型(100)多孔質Si基体上にプラズマCVD法により、Siエピタキシャル層を5μm低温成長させた。堆積条件は、以下のとおりである。

【0073】ガス： SiH₄

高周波電力： 100 W

温度： 800 ℃

圧力： 1 x 10⁻² Torr

成長速度： 2.5 nm/sec

次に、このエピタキシャル層の表面を50nm熱酸化した。該熱酸化膜上に光学研磨を施した溶融石英基体を重ねあわせ、酸素雰囲気中で1000℃、2時間加熱することにより、両者の基体は強固に接合された。

【0074】プラズマCVD法によってSi₃N₄を0.1μm堆積して、貼りあわせた2枚の基体を被覆して、多孔質基体上の空化膜のみを反応性イオンエッチングによって除去した。

【0075】その後、該張り合わせた基体をバッファードフロードとアルコールと過酸化水素水との混合液(10:6:50)をエッティング液とし、攪はんすることなく選択エッティングした。175分後には、単結晶Si層はエッチ・トップ材としてエッティングされずに残り、多孔質Si基体は選択エッティングされ完全に除去された。

【0076】非多孔質Si単結晶の該エッティング液にたいするエッティング速度は極めて低く、175分後でも40オングストローム弱程度であり、多孔質層のエッティング速度との選択比は十の五乗以上にも達し、非多孔質層におけるエッティング量(数十オングストローム)は実用上無視できる膜厚減少である。すなわち、200μmの厚みをもった多孔質化されたSi基体は、除去され、Si₃N₄層を除去した後には、溶融石英基体上に5μmの厚みを持った単結晶Si層が形成できた。

【0077】(実施例3) 200μmの厚みを持ったP型(100) 単結晶Si基体を50%のHF溶液中において陽極化成を行った。この時の電流密度は、100mA/cm²であった。この時の多孔質化速度は、8.4μm/min.であり、200μmの厚みを持ったP型(100) Si基体全体は24分で多孔質化された。

【0078】該多孔質化した基体を酸素雰囲気中で、400℃、1時間熱処理を施した。該P型(100)多孔質Si基体上にCVD法により、Siエピタキシャル層

10

20

30

40

50

14

を1μm成長させた。堆積条件は、以下のとおりである。

【0079】ガス： SiH₂Cl₂ (0.6 l/mi
n), H₂ (100 l/min)

温度： 950 ℃

圧力： 80 Torr

成長速度： 0.3 μm/min

次に、このエピタキシャル層の表面を50nm熱酸化した。該熱酸化膜上に光学研磨を施した500℃近辺に軟化点のあるガラス基体を重ねあわせ、酸素雰囲気中で450℃、0.5時間加熱することにより、両者の基体は強固に接合された。

【0080】プラズマCVD法によってSi₃N₄を0.1μm堆積して、貼りあわせた2枚の基体を被覆して、多孔質基体上の空化膜のみを反応性イオンエッチングによって除去した。

【0081】その後、該張り合わせた基体をバッファードフロードとアルコールと過酸化水素水との混合液(10:6:50)をエッティング液とし、攪はんすることなく選択エッティングした。175分後には、単結晶Si層はエッチ・トップ材としてエッティングされずに残り、多孔質Si基体は選択エッティングされ完全に除去された。

【0082】非多孔質Si単結晶の該エッティング液にたいするエッティング速度は極めて低く、175分後でも40オングストローム弱程度であり、多孔質層のエッティング速度との選択比は十の五乗以上にも達し、非多孔質層におけるエッティング量(数十オングストローム)は実用上無視できる膜厚減少である。すなわち、200μmの厚みをもった多孔質化されたSi基体は、除去され、Si₃N₄層を除去した後には、低軟化点ガラス基体上に1μmの厚みを持った単結晶Si層が形成できた。

【0083】また、Si₃N₄層の代わりに、アピエゾンワックス或いはエレクトロンワックスを被覆した場合にも同様の効果があり、多孔質化されたSi基体のみを完全に除去した。

【0084】(実施例4) 200μmの厚みを持ったP型(100) 単結晶Si基体を50%のHF溶液中において陽極化成を行った。この時の電流密度は、100mA/cm²であった。この時の多孔質化速度は、8.4μm/min.であり、200μmの厚みを持ったP型(100) Si基体全体は24分で多孔質化された。

【0085】該多孔質化した基体を酸素雰囲気中で、300℃1時間の熱処理を施した。該P型(100)多孔質Si基体上にバイアススパッター法により、Siエピタキシャル層を1.0μm低温成長させた。堆積条件は、以下のとおりである。

【0086】RF周波数： 100 MHz

高周波電力： 600 W

温度： 300 ℃

Arガス圧力： 8 x 10⁻³ Torr

15

成長時間： 120 min
ターゲット直流バイアス： -200 V

基体直流バイアス： +5 V

次に、このエピタキシャル層の表面に熱酸化法により 500 nm の酸化シリコン層を形成した。該熱酸化膜上に Si 基体を重ねあわせ、空素雰囲気中で 1000 °C, 2 時間加熱することにより、両者の基体は強固に接合された。

【0087】その後、該張り合わせた基体をバッファードフロードとアルコールと過酸化水素水との混合液 (10 : 6 : 50) をエッティング液とし、攪はんすることなく選択エッティングした。175 分後には、単結晶 Si 層はエッチ・ストップの材料としてエッティングされずに残り、多孔質 Si 基体は選択エッティングされ、完全に除去された。

【0088】非多孔質 Si 単結晶の該エッティング液にたいするエッティング速度は極めて低く、175 分後でも 40 オングストローム弱程度であり、多孔質層のエッティング速度との選択比は十の五乗以上にも達し、非多孔質層におけるエッティング量 (数十オングストローム) は実用上無視できる膜厚減少である。すなわち、200 μm の厚みをもった多孔質化された Si 基体は除去され、Si 基体上に 500 nm の酸化層を介して、0.75 μm の厚みを持った単結晶 Si 層が形成できた。

【0089】(実施例 5) 600 μm の厚みを持った P 型 (100) 単結晶 Si 基体を 50% の HF 溶液中において陽極化成を行った。この時の電流密度は、5 mA/cm² であった。この時の多孔質化速度は 1 μm/min. であり、600 μm の厚みを持った P 型 (100) Si 基体の表面には、20 μm の多孔質層が形成された。

【0090】該多孔質化した基体を酸素雰囲気中で、300 °C, 2 時間熱処理を施した。この試料を RHEED 法により評価したところ、単結晶性が確認された。該 P 型 (100) 多孔質 Si 基体上に液相成長法により、Si エピタキシャル層を 10 μm 低温成長させた。成長条件は、以下のとおりである。

【0091】溶媒： Sn

成長温度： 900 °C

成長雰囲気： H₂

成長時間： 20 min

該 Si エピタキシャル層上に表面に 1 μm の酸化シリコン層を形成した単結晶シリコン基体を重ねあわせ、酸素雰囲気中で 900 °C, 5 時間加熱することにより、両者の基体は強固に接合された。

【0092】その後、多孔質化した基体側を裏面より研削することにより、多孔質化されていないシリコン基体領域を除去し、多孔質層を露出させた。

【0093】その後、該張り合わせた基体をバッファードフロードとアルコールと過酸化水素水との混合液 (10 : 50)

10

6 : 50) をエッティング液とし、攪はんすることなく選択エッティングした。20 分後には、単結晶 Si 層はエッチ・ストップの材料としてエッティングされずに残り、多孔質 Si 基体は選択エッティングされ完全に除去された。

【0094】非多孔質 Si 単結晶の該エッティング液にたいするエッティング速度は極めて低く、20 分後でも 10 オングストローム弱程度であり、多孔質層のエッティング速度との選択比は十の五乗以上にも達し、非多孔質層におけるエッティング量 (数十オングストローム) は実用上無視できる膜厚減少である。すなわち、600 μm の厚みをもった多孔質化された Si 基体は除去され、表面に酸化層を有するシリコン基体上に 10 μm の厚みを持った単結晶 Si 層が形成できた。

【0095】(実施例 6) 200 μm の厚みを持った P 型 (100) Si 基体上に CVD 法により、Si エピタキシャル層を 0.5 μm 成長させた。堆積条件は、以下の通りである。

【0096】反応ガス流量： SiH₄ 1000 SCCM

H₂ 230 /min.

温度： 1080 °C

圧力： 80 Torr

時間： 1 min.

この基体を 50% の HF 溶液中において陽極化成を行った。この時の電流密度は、100 mA/cm² であった。この時の多孔質化速度は 8.4 μm/min であり 200 μm の厚みを持った P 型 (100) Si 基体全体は、24 分で多孔質化された。前述したようにこの陽極化成では、P 型 (100) Si 基体のみが多孔質化され、Si エピタキシャル層には変化がなかった。

【0097】該多孔質化した基体を 30% の過酸化水素水に 1 時間つけて多孔質層を酸化した。

【0098】次に、このエピタキシャル層の表面を 50 nm 熱酸化した。該熱酸化膜上に光学研磨を施した溶融石英ガラス基体を重ねあわせ、酸素雰囲気中で 800 °C, 0.5 時間加熱することにより、両者の基体は強固に接合された。

【0099】減圧 CVD 法によって Si₃N₄ を 0.1 μm 堆積して、貼りあわせた 2 枚の基体を被覆して、多孔質基体上の窒化膜のみを反応性イオンエッティングによって除去した。

【0100】その後、該張り合わせた基体をバッファードフロードとアルコールと過酸化水素水との混合液 (10 : 6 : 50) をエッティング液とし、攪はんすることなく選択エッティングした。175 分後には、単結晶 Si 層はエッチ・ストップの材料としてエッティングされずに残り、多孔質 Si 基体は選択エッティングされ、完全に除去された。

【0101】非多孔質 Si 単結晶の該エッティング液にたいするエッティング速度は極めて低く、175 分後でも 40

0オングストローム弱程度であり、多孔質層のエッティング速度との選択比は十の五乗以上にも達し、非多孔質層におけるエッティング量（数十オングストローム）は実用上無視できる膜厚減少である。すなわち、 $200\mu\text{m}$ の厚みをもった多孔質化されたS i 基体は除去され、S i₃N₄層を除去した後には、ガラス基体上に $0.5\mu\text{m}$ の厚みを持った単結晶S i 層が形成できた。

【0102】また、S i₃N₄層の代わりに、アビエゾンワックス或いはエレクトロンワックスを被覆した場合にも同様の効果があり、多孔質化されたS i 基体のみを完全に除去しえた。

【0103】透過電子顕微鏡による断面観察の結果、S i 層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0104】（実施例7） $200\mu\text{m}$ の厚みを持ったP型（100）S i 基体表面にプロトンのイオン注入によって、N型S i 層を $1\mu\text{m}$ 形成した。H⁺注入量は、 $5 \times 10^{15} \text{ ions/cm}^2$ であった。この基体を50%のHF溶液中において陽極化成を行った。この時の電流密度は、 100mA/cm^2 であった。この時の多孔質化速度は $8.4\mu\text{m}/\text{min}$ であり、 $200\mu\text{m}$ の厚みを持ったP型（100）S i 基体全体は、24分で多孔質化された。前述したようにこの陽極化成では、P型（100）S i 基体のみが多孔質化されN型S i 層には変化がなかった。

【0105】該多孔質化した基体を酸素雰囲気中で、 300°C 、2時間熱処理を施した。次に、このN型単結晶層の表面を 50nm 熱酸化した。該熱酸化膜上に光学研磨を施した溶融石英ガラス基体を重ねあわせ、酸素雰囲気中で 800°C 、0.5時間加熱することにより、両者の基体は強固に接合された。

【0106】減圧CVD法によってS i₃N₄を $0.1\mu\text{m}$ 堆積し、貼りあわせた2枚の基体を被覆して、多孔質基体上の窒化膜のみを反応性イオンエッティングによって除去する。その後、該張り合わせた基体をバッファード弾酸とアルコールと過酸化水素水との混合液（1.0:6:5.0）をエッティング液とし、攪はんすることなく選択エッティングした。175分後には、単結晶S i 層はエッチ・ストップの材料としてエッティングされずに残り、多孔質S i 基体は選択エッティングされ、完全に除去された。

【0107】非多孔質S i 単結晶の該エッティング液にたいするエッティング速度は極めて低く、175分後でも40オングストローム弱程度であり、多孔質層のエッティング速度との選択比は十の五乗以上にも達し、非多孔質層におけるエッティング量（数十オングストローム）は実用上無視できる膜厚減少である。すなわち、 $200\mu\text{m}$ の厚みをもった多孔質化されたS i 基体は、除去され、S i₃N₄層を除去した後には、ガラス基体上に $1.0\mu\text{m}$ の厚みを持った単結晶S i 層が形成できた。

【0108】また、S i₃N₄層の代わりに、アビエゾンワックス或いはエレクトロンワックスを被覆した場合にも同様の効果があり、多孔質化されたS i 基体のみを完全に除去しえた。

【0109】透過電子顕微鏡による断面観察の結果、S i 層には新たな結晶欠陥は導入されておらず、良好な結晶性が維持されていることが確認された。

【0110】

【発明の効果】以上詳述したように、本発明によれば、上記した従来の問題点及び要求に答え得る半導体基体及びその作製方法を提供することが可能となる。

【0111】また、本発明によれば、表面に絶縁層を有する基体、ないしは、ガラスに代表される光透過性絶縁物基体上に結晶性が単結晶ウエハー並に優れたS i 結晶層を得るうえで、生産性、均一性、制御性、経済性の面において卓越した方法を提供することができる。

【0112】更に本発明によれば、従来のSOIデバイスの利点を実現し、高性能電子デバイス等に応用可能な半導体基体及びその作製方法を提供することができる。

【0113】また、本発明によれば、SOI構造の大規模集積回路を作製する際にも、高価なSOSや、SIMOXの代替足り得る半導体基体及びその作製方法を提供することができる。

【0114】本発明によれば、元々良質な単結晶S i 基体を出発材料として、単結晶層を表面にのみに残して下部のS i 基体を化学的に除去して光透過性絶縁物基体上に移設させるものであり、実施例にも詳細に記述したように、多数処理を短時間に行なうことが可能となり、その生産性と経済性に多大の進歩がある。

【図面の簡単な説明】

【図1】本発明の第1の実施態様例の工程を説明するための模式的断面図である。

【図2】多孔質と非多孔質S i のエッティング特性を示すグラフである。

【図3】本発明の第2の実施態様例の工程を説明するための模式的断面図である。

【図4】本発明の第1の実施態様例の工程を説明するための模式的断面図である。

【符号の説明】

1 1 基体

1 2 非多孔質S i 単結晶層

1 3 基体

1 4 酸化した多孔質シリコン

1 5 多孔質シリコン

3 1 p型S i 単結晶基体

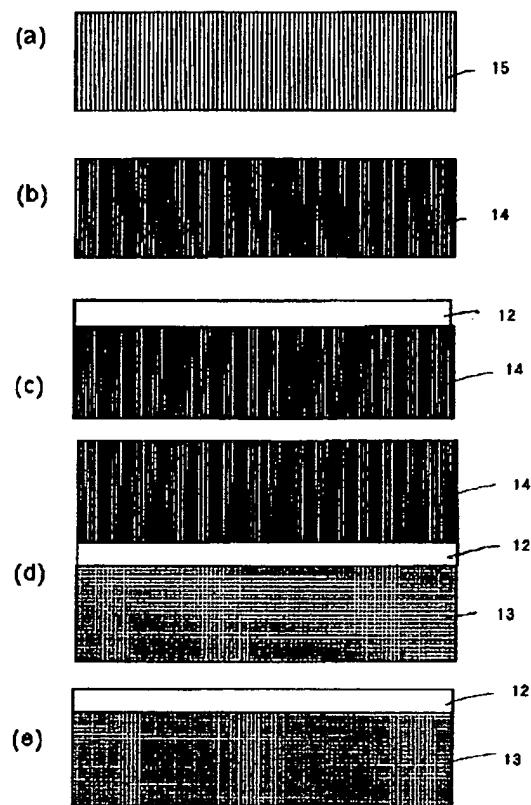
3 2 低不純物濃度層、あるいは、N型単結晶層

3 3 多孔質シリコン

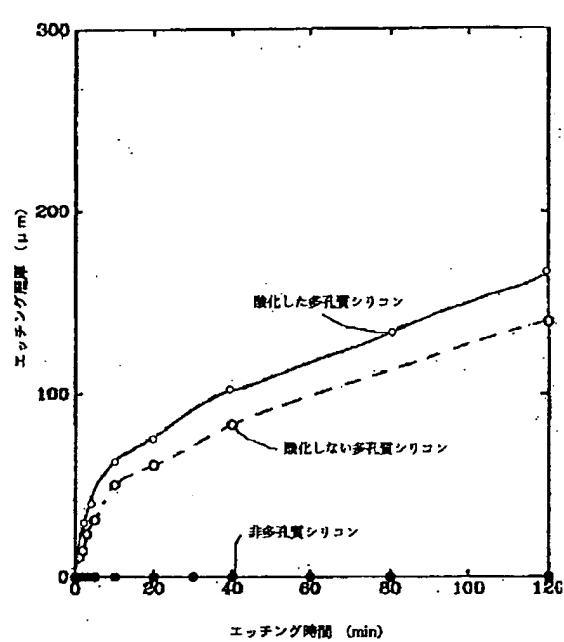
3 4 基体

3 5 酸化した多孔質シリコン

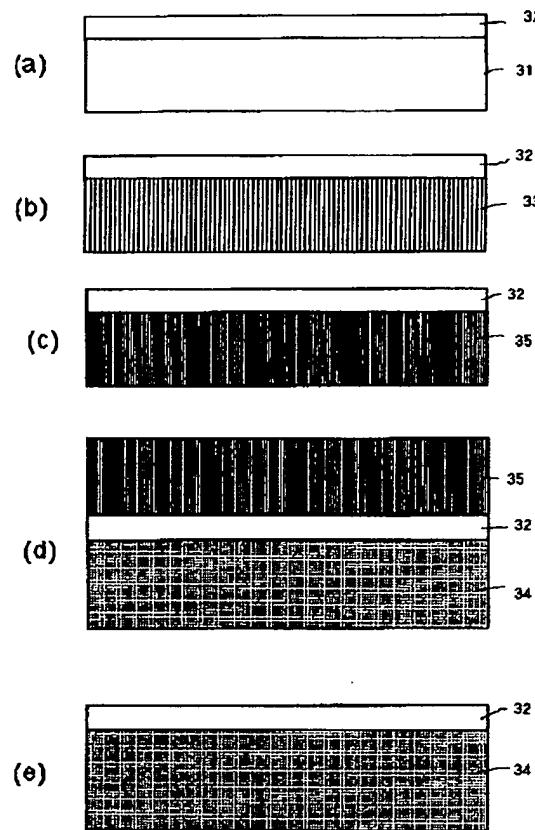
【図1】



【図2】



【図3】



【図4】

